

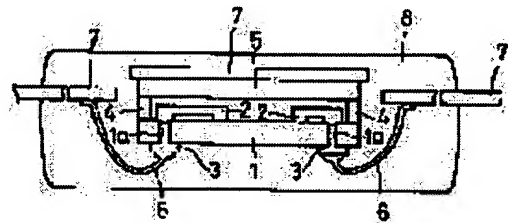
**PATENT ABSTRACTS OF JAPAN**(11)Publication number : **05-275480**(43)Date of publication of application : **22.10.1993**

(51)Int.Cl. **H01L 21/56**  
**H01L 23/28**  
**H01L 21/338**  
**H01L 29/812**

(21)Application number : **04-071404**(71)Applicant : **TOSHIBA CORP**(22)Date of filing : **27.03.1992**(72)Inventor : **TAGUCHI MINORU****(54) SEMICONDUCTOR DEVICE****(57)Abstract:**

**PURPOSE:** To prevent decrease of performance of an inductance, the change of characteristics due to mold stress, and the decrease of reliability level.

**CONSTITUTION:** A metal wiring 2 formed on the surface of an IC chip 1 is connected with a bonding pad 3 formed on the rear of the IC chip 1 via a through hole 1a penetrating the IC chip 1 in the thickness direction, a guard ring 4 is formed on the periphery of the IC chip 1, and a metal 5 sealing the surface of the IC chip 1 is bonded to the guard ring 4.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-275480

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/56	R	8617-4M		
23/28	K	8617-4M		
21/338				
29/812				
		9171-4M	H 0 1 L 29/ 80	G
			審査請求 未請求 請求項の数 2(全 4 頁)	

(21)出願番号 特願平4-71404

(22)出願日 平成4年(1992)3月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田口 実

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

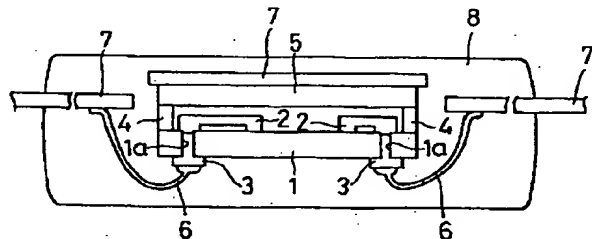
(74)代理人 弁理士 三好 秀和 (外1名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 インダクタンスの性能低下、モールドストレスによる特性変動及び信頼性レベルの低下が防止できることを目的とする。

【構成】 ICチップ1の表面に形成されたメタル配線2とICチップ1の裏面に形成されたボンディングパッド3とをICチップ1を厚さ方向に貫通する貫通孔1aを介して接続し、ICチップ1の周端部にガードリング4を形成し、ガードリング4上にICチップ1の表面を封止するメタル5を接着した。



## 【特許請求の範囲】

【請求項1】 ICチップの表面に形成された金属配線と前記ICチップの裏面に形成されたボンディングパッドとを前記ICチップを厚さ方向に貫通する貫通孔を介して接続し、前記ICチップの周端部にガードリングを形成し、前記ガードリング上に前記ICチップの表面を封止する金属を接着し、前記ICチップをリードフレームにマウントすると共に、前記ボンディングパッドと前記リードフレームとをボンディングワイヤにより接続し、前記ICチップを樹脂封止したことを特徴とする半導体装置。

【請求項2】 ICチップの表面に形成された金属配線と前記ICチップの裏面に形成されたボンディングパッドとを前記ICチップを厚さ方向に貫通する貫通孔を介して接続し、前記ICチップ上に前記ICチップの表面を封止するキャップ金属を接着し、前記ICチップをリードフレームにマウントすると共に、前記ボンディングパッドと前記リードフレームとをボンディングワイヤにより接続し、前記ICチップを樹脂封止したことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は高周波／高速分野に用いられる半導体装置に関する。

## 【0002】

【従来の技術】近年、半導体技術の進歩は著しく、微細化技術及び自己整合技術等のプロセス技術がその進歩をささえている。高周波分野においても、Siバイポーラ、GaAs系デバイス的高速化及び高機能化が進んでいる。

【0003】従来、高周波分野の市場は移動体通信及び衛星放送の発展に伴い急拡大している。コストダウン要求も強く、外囲器は高価なセラミックに代わってプラスチックパッケージが用いられるようになった。

## 【0004】

【発明が解決しようとする課題】しかしながら、高周波／高速分野のデバイスをプラスチックパッケージ化した場合、エアーブリッジ配線からなるインダクタンスの性能低下及び歩留り低下、モールドストレスによる素子特性変動(DC、AC)、耐湿性を含めた信頼性レベルの低下(特に、GaAs系デバイスでは良好な熱酸化膜等の絶縁膜が形成不可能のため、著しい)を招くという問題点があった。

【0005】即ち、インダクタンス(L)の場合、GaAs系デバイスのMMICにおいては、L内臓が一般的であり、特に、高周波の場合、性能(AC)を維持するためにエアーブリッジ配線を用いる。このMMICをプラスチックパッケージに入れると、樹脂形成するときにインダクタンスが破壊され易く、且つ樹脂の誘電率が空気より大きく寄生容量が増加するので、AC性能が低

下するという問題点があった。

【0006】また、モールドストレスによる特性変動では、樹脂形成工程のストレスにより拡散抵抗、トランジスタ(FET、BipTr等)などが特性変動劣化する。特に問題になるのは、変動方向がすべて同一に変動するのではなく、アトランダムに変化するものも発生し、ベアー性などが悪化し、DC/AC特性も悪くなるという問題点があった。

【0007】さらに、信頼性レベルの低下では、GaAs系デバイスの場合、半導体界面を保持する良好な絶縁膜(Siでいう熱酸化膜)が形成不可能であるため、トップ保護膜を積層化したりしても、外囲器をモールド化すると、水分等が容易にデバイス表面に達し、コロージョンや特性変動を発生し易いという問題点があった。本発明の目的は、上述した問題点に鑑み、インダクタンスの性能低下、モールドストレスによる特性変動及び信頼性レベルの低下が防止できる半導体装置を提供するものである。

## 【0008】

【課題を解決するための手段】本発明は上述した目的を達成するため、ICチップの表面に形成された金属配線と前記ICチップの裏面に形成されたボンディングパッドとを前記ICチップを厚さ方向に貫通する貫通孔を介して接続し、前記ICチップの周端部にガードリングを形成し、前記ガードリング上に前記ICチップの表面を封止する金属を接着し、前記ICチップをリードフレームにマウントすると共に、前記ボンディングパッドと前記リードフレームとをボンディングワイヤにより接続し、前記ICチップを樹脂封止したものである。

【0009】また、ICチップの表面に形成された金属配線と前記ICチップの裏面に形成されたボンディングパッドとを前記ICチップを厚さ方向に貫通する貫通孔を介して接続し、前記ICチップ上に前記ICチップの表面を封止するキャップ金属を接着し、前記ICチップをリードフレームにマウントすると共に、前記ボンディングパッドと前記リードフレームとをボンディングワイヤにより接続し、前記ICチップを樹脂封止したものである。

## 【0010】

【作用】本発明においては、ICチップの表面は金属(または、キャップ金属)により完全に封止されているので、ICチップを樹脂封止する際、樹脂はICチップ表面には浸入しないと共に、ICチップ表面の耐湿性が向上する。この場合、ICの信号や電源等の端子はICチップの裏面より取り出される。

## 【0011】

【実施例】以下、本発明の半導体装置に係わる実施例を図1～図3に基づいて説明する。最初に、図1を参照して第1実施例に係る半導体装置について述べる。

【0012】即ち、同実施例において、1はGaAs半

導体基板である。このGaAs半導体基板1上にはGaAsMESFET(図示略す)及びエアーブリッジAu配線2が形成され、MMICチップが構成されている。さらに、GaAs半導体基板1にはエアーブリッジAu配線2の部分直下よりGaAs半導体基板1の裏面まで到達する貫通孔1aが形成され、GaAs半導体基板1裏面の貫通孔1aの裏面ボンディングパッド部分及び貫通孔1a内にはAu配線3が形成されている。また、GaAs半導体基板1表面の周端部にはエアーブリッジAu配線2の高さより高く絶縁物から成るガードリング4が形成されている。そして、ガードリング4の上面上にはGaAsMESFET及びエアーブリッジAu配線2を覆うようにキャップメタル5が接着され、MMICチップの表面は完全に封止されている。また、MMICチップはリードフレーム7のマウント部にマウントされ、ボンディングワイヤ6によりリードフレーム7のワイヤボンディング部とAu配線3とが接続され、MMICチップはモールド樹脂8により樹脂封止されている。

【0013】次に、かかる構成を有する半導体装置の製造方法について図2を参照して述べる。

【0014】先ず、GaAs半導体基板1上に公知のGaAsMESFETプロセス、例えばイオン注入、アニール、CVDデポ、エッチング及びメタル形成等を用いて、MMICチップを形成し、最終のメタル配線として厚さ2 $\mu$ mでギャップ厚が3 $\mu$ mのエアーブリッジAu配線2を形成する(図2a参照)。

【0015】その後、GaAs半導体基板1をエッチングし、エアーブリッジAu配線2の部分直下よりGaAs半導体基板1の裏面まで到達する貫通孔1aを形成する。続いて、メッキ法により半導体基板1裏面の貫通孔1aの裏面ボンディングパッド部分及び貫通孔1a内にAu配線3を形成し、MMICチップの端子(パッド)を形成する(図2b参照)。

【0016】次いで、MMICチップの周端部に絶縁物から成りエアーブリッジAu配線2の高さより高い、例えば高さが約10 $\mu$ mのガードリング4を形成する。そして、ガードリング4の上面上に接着剤を塗布し、GaAsMESFET及びエアーブリッジAu配線2を覆うようにキャップメタル5を接着し、MMICチップの表面を封止する(図2c参照)。

【0017】しかる後、MMICチップをリードフレーム7のマウント部にマウントし、ボンディングワイヤ6によりリードフレーム7のワイヤボンディング部とAu配線3とを接続する。その後、MMICチップをモールド樹脂8により樹脂封止する(図1参照)。

【0018】次に、図3を参照して第2実施例に係る半導体装置について述べる。

【0019】即ち、同実施例において、1はGaAs半導体基板である。このGaAs半導体基板1上にはGaAsMESFET(図示略す)及びエアーブリッジAu配線2が形成されている。また、GaAs半導体基板1にはエアーブリッジAu配線2の部分直下よりGaAs半導体基板1の裏面まで到達する貫通孔1aが形成されている。さらに、GaAs半導体基板1裏面の貫通孔1aの裏面ボンディングパッド部分及び貫通孔1a内にAu配線3が形成されている。そして、GaAs半導体基板1表面の周端部にはエアーブリッジAu配線2の高さより高く逆凹形のキャップメタル9がGaAsMESFET及びエアーブリッジAu配線2を覆うように接着され、MMICチップの表面を完全に封止している。また、MMICチップはリードフレーム7のマウント部にマウントされ、ボンディングワイヤ6によりリードフレーム7のワイヤボンディング部とAu配線3とが接続されると共に、MMICチップはモールド樹脂8により樹脂封止されている。

【0020】かくして、本実施例によれば、MMICチップの表面はキャップメタル5、9により完全に封止されているので、MMICチップを樹脂封止する際、モールド樹脂8はMMICチップ表面には浸入しないと共に、MMICチップ表面の耐湿性が向上する。またこのとき、ICの信号や電源等の端子はMMICチップ裏面のAu配線3より取り出される。

【0021】

【発明の効果】以上説明したように本発明によれば、インダクタンス(L)の性能劣化及び歩留り低減、モールドストレスによる特性変動、耐湿性等の信頼性レベルの低下が大幅に低減でき、高周波MMIC、高速IC並びに高周波/高速トランジスタの性能及び特性を劣化させることなくモールド樹脂封止ができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の断面図である。

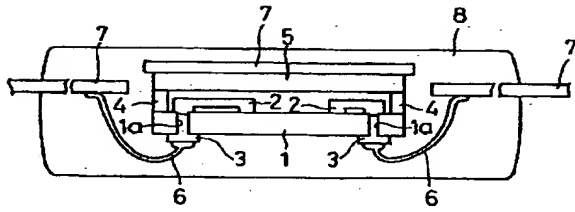
【図2】本発明の半導体装置の製造工程断面図である。

【図3】本発明の他の半導体装置の断面図である。

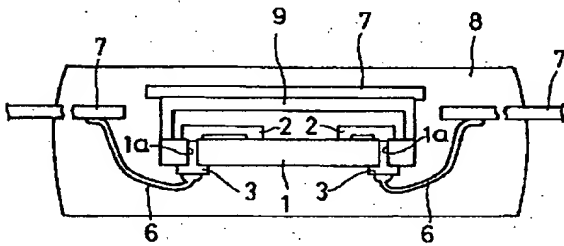
【符号の説明】

- 1 GaAs半導体基板
- 1a 貫通孔
- 2 エアーブリッジAu配線
- 3 Au配線
- 4 ガードリング
- 5, 9 キャップメタル
- 6 ボンディングワイヤ
- 7 リードフレーム
- 8 モールド樹脂

【図1】

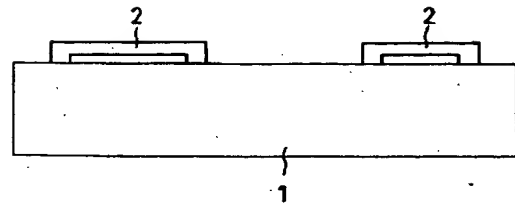


【図3】

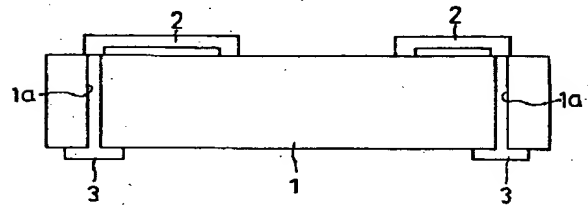


【図2】

(a)



(b)



(c)

